

IC SUBSTRATE FOR ACTIVE MATRIX DISPLAY BODY

Publication number: JP60002989

Publication date: 1985-01-09

Inventor: MURATA MASAMI; WADA KENJI

Applicant: SUWA SEIKOSHA KK

Classification:

- international: *G02F1/1333; G01R31/00; G02F1/133; G09F9/35;
G09G3/36; G01R31/00; G02F1/13; G09F9/35;
G09G3/36; (IPC1-7): G09G3/36; G02F1/133; G09F9/35*

- European:

Application number: JP19830110514 19830620

Priority number(s): JP19830110514 19830620

Report a data error here

Abstract not available for JP60002989

Data supplied from the **esp@cenet** database - Worldwide

Family list**2** family member for: **JP60002989**

Derived from 1 application

[Back to JP60002989](#)**1 IC SUBSTRATE FOR ACTIVE MATRIX DISPLAY BODY****Inventor:** MURATA MASAMI; WADA KENJI**Applicant:** SUWA SEIKOSHA KK**EC:****IPC:** *G02F1/1333; G01R31/00; G02F1/133* (+9)**Publication info:** **JP1833132C C** - 1994-03-29**JP60002989 A** - 1985-01-09Data supplied from the **esp@cenet** database - Worldwide

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑮ 公開特許公報 (A)

昭60—2989

⑯ Int. Cl.⁴

識別記号

庁内整理番号

⑰ 公開 昭和60年(1985)1月9日

G 09 G 3/36

7436—5C

G 02 F 1/133

1 1 8

7348—2H

発明の数 1

1 2 9

7348—2H

審査請求 未請求

G 09 F 9/35

6615—5C

(全 6 頁)

⑱ アクティブマトリックス表示体用 IC 基板

⑲ 発明者 和田健嗣

⑳ 特 願 昭58—110514

諏訪市大和3丁目3番5号株式
会社諏訪精工舎内

㉑ 出 願 昭58(1983)6月20日

㉒ 出 願 人 株式会社諏訪精工舎

㉓ 発明者 村田雅已

諏訪市大和3丁目3番5号株式

東京都中央区銀座4丁目3番4
号

会社諏訪精工舎内

㉔ 代理人 弁理士 最上務

明 細 書

発明の名称

アクティブマトリックス表示体用 IC 基板

特許請求の範囲

1) 複数のデータ線と複数のゲート線をマトリックス状に形成し、各交点に要素トランジスタ、液晶駆動電極を設けた画素部と前記データ線又はゲート線を駆動するための X、Y 周辺駆動回路部から構成されるアクティブマトリックス表示体用 IC 基板において、X、Y 周辺駆動回路のうち少なくとも一方は、1 系統しか設けず、かつ、該 1 系統の周辺回路と反対の辺にゲートに複数の共通ラインが入力したトランジスタ群を配置したことと特徴とするアクティブマトリックス表示体用 IC 基板。

発明の詳細な説明

本発明は周辺駆動回路を内蔵したアクティブマ

トリックス表示体用 IC 基板に関する。

従来アクティブマトリックス用 IC 基板は、表示部分のみで構成され、マトリックスの駆動部分は IC 基板とボンディング等により接続された外部の ROMOR—IC チップにより構成されている。第 1 図はアクティブマトリックスの表示部分を示し表示部分 1 は (n × m) コのセル 2 が配列されている。各セルにはゲート線 0 i とデータ線 D j が配線されており、この 2 つの信号線の交点となるセルを選択してデータ線 D j からデータを各セルに書き込む。各セルはトランジスタ T 1 j とデータ保持用の容量 0 i j から構成されて、駆動点 T 1 j から液晶等の表示体を駆動する。例えばここにテレビの画面表示を行うとすると、テレビ用の映像信号が各タイミングに応じてデータ線から、その時の走査位置に当たるゲート線を選択することにより各セルに順次データを置いてゆく。このためには走査位置に合致したゲート線を選択する信号を各ゲート線 0 i → 0 i n に与え、又その走査位置におけるデータを、横方向へ走査し

て書き込むためにデータ線に送り込むための周辺回路が必要となる。

ところが、この周辺回路と、このアクティブマトリクス基板の接続は、 $n+m$ 個所必要となり、実際は400~800本となりかなり大変でありコスト的にも高くつく。又周辺駆動回路自体も通常消費電力を低減する意味で0M0B~1M0Bが用いられるが、このために必要なチップ数が100~200で、やはり、アセンブルが大変でチップ自体のコストもかなり過ぎる。従ってこの周辺回路をI/O基板に内蔵することが最もよいが下に挙げるような問題点がある。

(1) 外付の場合は0M0B技術が使えが、一般にマトリクスI/O基板はM-M0B、又はP-M0Bであり、普通は駆動回路を構成すると消費電力が大きすぎて使いものにならない。又I/O基板を0M0Bにすると、製造プロセスが複雑になりすぎる。

(2) 駆動回路外付の場合には、分割されているので歩留は問題ないが、内蔵すると歩留が100

%近くないと、駆動回路の一部の不良により、I/O基板全体が不良となる。

このような問題点を解決するためにマルチチャンネルM0Bプロセスを用いたダイナミック型のシフトレジスタが採用されている。第2図及び第3図はゲートライン駆動用のシフトレジスタ回路の回路図及びタイミング図である。

シフトレジスタセル5は4つのトランジスタ7~10と1つのブートストラップ容量6より構成される。クロックは ϕ_1 と ϕ_2 の2相でありスタートパルスBP入力により"1"電位が順次クロックに同期して転送してゆく。各シフトレジスタの出力 $D_1 \sim D_m$ がゲート線に入力されて、この結果、第3図に示す如く、順次各ゲート線を選択していく。

第4図は本発明によるデータ線の駆動回路の一例である。シフトレジスタセル14はブートストラップ容量16と動作に必要なトランジスタ17, 18により構成され、初段へは入力ゲート15を介してスタートパルスBPを印加する。又

各シフトレジスタ出力 $D_1 \sim D_m$ はサンプルホールドトランジスタ $H_1 \sim H_m$ にされ、走査信号に同期してビデオ入力V、B、(映像信号又はデータ書き込み信号)をデータ線に寄生する容量 $C_{D1} \sim C_{Dm}$ にサンプルホールドさせる。データ線駆動回路は一走査線内で全ての処理を行うため高速であり、リーク電流の考慮は余りなくてよいが逆に高速動作を確保することと、高速のため増大する消費電力を抑えることを考慮する必要がある。このために、シフトレジスタのクロックは2相でなく4相以上を用いるのがよい。同一の転送率で同一のビット数を確保するためにはクロックが2相から4相になればクロックライン $\phi_1 \sim \phi_4$ で消費する電力は半分になる。又8相になればその半分となる。このシフトレジスタはmビット中1ビットしか"1"になっていないのでクロック以外での電力消費は少ない。従って本方式の採用により、周辺駆動回路はモノチャンネル構成にもかわらず0M0B並の低電力とすることが可能である。シフトレジスタの出力 $D_1 \sim D_m$

はサンプルホールドトランジスタ $H_1 \sim H_m$ にされるのみでここに寄生する容量はそう大きくない。従って $D_1 \sim D_m$ に直接小容量で構成されるブートストラップ容量16を接続することが可能となる。サンプル・ホールドトランジスタ $H_1 \sim H_m$ 19はかなりの高速スイッチングが要求されるが、そのゲート入力にはブートストラップ動作により、第5図に示す如くクロック信号の2倍近い振幅で印加されるので、非常に高速でスイッチングできるという利点がある。以上のX、Yシフトレジスタを実際に配置する場合であるが、従来は各データ線及びゲート線の断線による欠陥を救済するためにX、Yシフトレジスタを上下、左右に2系統づつ設けた。第6図はこの従来例を示す図であり実際にアクティブ・マトリクス基板に配置した場合を示している。データ間Xシフトレジスタ35, 36及び最終段の帰還信号を形成するダイセル37, 38とサンプルホールドトランジスタ $H_1 \sim H_m$ があり上下対照に配列される。又ゲート間Yシフトレジスタ31, 32

とダミー35, 64は左右対照に配列される。

ところが、パターンルールが10 μ m程度のゆるい場合には、各ゲート線及びデータ線の断線のある確率は低いために、歩留り向上の効果は余りない。逆に、上下左右の2系統のX, Y駆動回路が完全に無故障でなければならない場合には歩留り低下になる。また、同じ機能の回路を並列に動かすために、消費電力を余分に使うことになる。特に、X駆動回路は、1水平走査期間(635 μ s)に同期して、ゲート線が選択されている間に、左から右へと点順次走査により1行の200個程度の画素に信号を書き込んで行くことになり、第4図の4相クロックの回路を使っても、クロック信号 $\phi_1 \sim \phi_4$ の周波数は750K \sim 1MHzとなり、消費電力が多くなる。

以上の理由により、X駆動回路については、上下どちらか1系統とした方が良くなる。Y駆動回路については、クロック ϕ_1, ϕ_2 の周波数は、水平同期周波数の半分の約8KHzとXに比較して、約 $1/100$ と小さく、消費電力も少ないため、

2系統のシフトレジスタを設けても良い。

ところが、X駆動回路を1系統のみにとすると、データ線の片端から信号を供給するのみであるのでデータ線に断線があるかどうかの検査ができなくなり、品質管理上重要な問題となる。このために、データ線のX駆動回路と反対側にブロービング用のパッドを設ける方法があるが、100 \sim 200 μ m程度のピッチで200個程度のパッド列となるために、検査時の位置出し工役がかかることになる。本発明はかかる問題を痛みて行なわれたものであり、データ線の検査を容易にすることを目的とする。

以上の欠点を解決するために、データ線のX駆動回路と反対側に検査用のトランジスタを複数設けるものである。第7図は本発明の具体例の1つであり、下側のX駆動回路の代わりに、データ線D₁ \sim D_mとドレインを結ばれたテスト用トランジスタE₁ \sim E_m5が設けられている。テスト用トランジスタE₁ \sim E_mは奇数番号と偶数番号の群に分けられ、各群のトランジスタは、シ-

ス及びゲートを共通になっている。各群のソース及びゲートは各々B₀₁, B₀₂, B₁, B₂と呼ばれる端子からチップの外へ取り出される。また、ゲート端子B₁, B₂は通常は、テスト用トランジスタE₁ \sim E_mのドレイン-ソース間をハイインピーダンスとするためにプルダウン抵抗R₁, R₂40k Ω より基板単位になっている。テスト用トランジスタE₁ \sim E_mは奇数番号と偶数番号の群に分けておけるのは、第5図のタイミング図からわかるように、サンプルホールドトランジスタH₁ \sim H_mは隣接する2つが同時に選択される。このため、もし、テスト用トランジスタE₁ \sim E_mが1系統のみの場合はソース線に断線があっても、隣接するソース線が正常な場合は断線が発見できなくなる。このことを防止するために、隣接するソース線に接するテスト用トランジスタを奇数と偶数の群に分けているのである。即ち、テスト用トランジスタのゲートB₁とB₂を数立に制御して、ソース端子B₀₁, B₀₂から信号を検出することにより、各ソース線D₁ \sim D_mの

断線チェックが可能になるのである。例えば、XシフトレジスタのV_{IDE}端子をHighレベルにして、かつ、テスト用トランジスタのソース端子B₀₁, B₀₂を抵抗で基板単位へプルダウンした時のタイミング図を第8図に示す。B₁ \sim B_mは第5図に示したXシフトレジスタの出力でありサンプルホールドトランジスタH₁ \sim H_mのゲート信号であり、これと同期してテスト用トランジスタのゲート端子B₁, B₂に図のような信号を加えるとソース端子B₀₁, B₀₂には図のような信号が得られ、D₁ \sim D_mのソース線が断線していないことがわかるのである。もし、断線があった場合は、例えば、D₁が断線している場合にはB₀₁のように対応するパルスが欠落して、断線している箇所がわかるのである。

以上のように、本発明によればアクティブマトリックス表示用E₁0基板の検査が容易になり、品質の向上が図られ、その効果は非常に大きい。なお、本願の実施例は単結晶シリコンを用いたアクティブマトリックス表示体としたが、ガラス基

板上に薄膜トランジスタを形成したI P Tについて
でも適用できるものである。

図面の簡単な説明

第1図…アタタイプマトリックスの表示部の
等価回路図

1…表示部

2…セル

第2図…ゲート駆動用のYシフトレジスタ
の等価回路図

5…シフトレジスタセル

6…ブートストラップ容量

7…10…トランジスタ

第3図…ゲート駆動用のYシフトレジスタ
のタイミング図

第4図…ソース駆動用のXシフトレジスタ
の等価回路図

14…シフトレジスタセル

15…入力ゲート

16…ブートストラップ容量

17～18…トランジスタ

19…サンプルホールドトランジ
スタ

第5図…ソース駆動用のXシフトレジスタ
のタイミング図

第6図…従来例のアタタイプマトリックス表
示部用I O基板

35, 36…データ側Xシフトレ
ジスタ

37, 38…ダミーセル

31, 32…ゲート側Yシフトレ
ジスタ

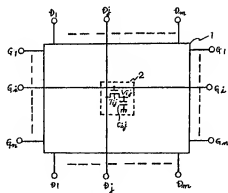
33, 34…ダミーセル

第7図…本発明の実施例のアタタイプマトリ
ックス用I O基板の図

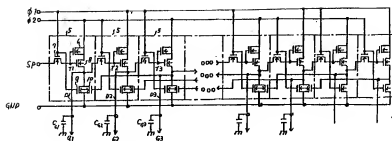
59…テスト用トランジスタ

40…プルダウン抵抗

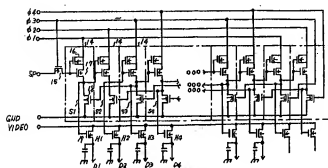
第8図…本発明に於けるタイミング図



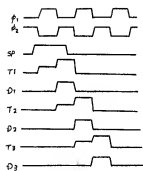
第1図



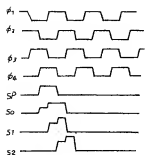
第 2 図



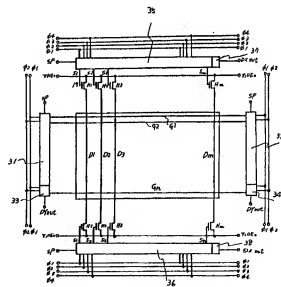
第 4 図



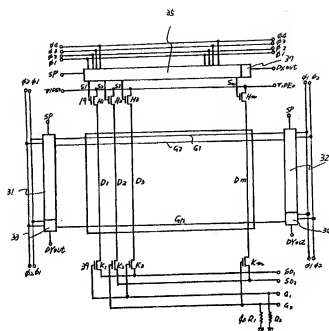
第 3 図



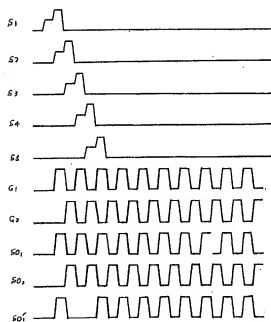
第 5 図



第 6 図



第 7 図



第 8 図

Title: IC Substrate for Active matrix Display

Claim:

An IC for active matrix display comprising:

a pixel unit comprising a pixel unit a plurality of data lines and gate lines arranged in a matrix, and pixel transistors and liquid crystal driving electrodes arranged at interfaces thereof, and X and Y peripheral circuit units for driving the data or gate lines, wherein at least one of the X and Y peripheral circuit units forms only one series, and a transistor group of which gates derive input from a plurality of common lines is arranged at a side opposite to a side along which the only one series of the peripheral circuit.